

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-305319

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl.<sup>6</sup>

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

B

審査請求 有 請求項の数3 F D (全 7 頁)

(21) 出願番号 特願平7-127392

(22) 出願日 平成7年(1995)4月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊関 幸輝

東京都港区芝五丁目7番1号 日本電気株式会社内

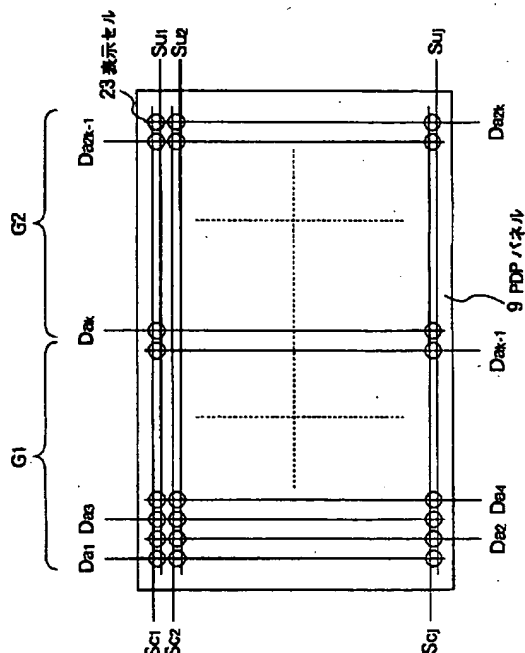
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【目的】 書き込み放電時の放電電流を分散することで、安定な書き込み放電が可能なプラズマディスプレイを提供する。

【構成】 プラズマディスプレイパネル9のデータ電極  $D_{11} \cdots D_{1n}$  を2以上のデータブロック  $G1$ 、 $G2$  に分割する。書き込み放電時に、1つの走査パルス期間内でデータパルスの印加タイミングをデータブロック  $G1$ 、 $G2$  毎にずらす。このずらす時間は、表示セルの放電継続時間を  $T_1$  とすると、 $T_1/5 \sim T_1$  程度とする。これにより、走査電極  $S_{11} \cdots S_{1n}$  に流れる書き込み放電時の放電電流のピークを減らすことができ、電極および駆動回路のインピーダンスによる電圧降下が小さく抑えられる。少ないピーク値の放電電流により表示セルに印加される電圧が安定し、安定な書き込み放電が可能となる。



## 【特許請求の範囲】

【請求項1】 複数の走査電極と複数のデータ電極との各交差部分に表示セルを行列状に配設し、前記データ電極から印加するデータパルスにより前記表示セルの発光を制御して画面表示を行なう型式のプラズマディスプレイパネルの駆動方法において、前記データ電極を複数のデータ電極群に分割し、該分割したデータ電極群の夫々に、相互に時間をずらしたデータパルスを印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記ずらす時間の長さが、1つの表示セルの書き込み放電継続時間を $T_i$ 、走査電極に印加する走査パルスのパルス幅を $T_w$ とすると、 $T_i/10 \sim T_w - 2T_i$ の範囲にある、請求項1に記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記ずらす時間の長さが、1つの表示セルの書き込み放電継続時間を $T_i$ とすると、 $T_i/5 \sim T_i$ の範囲にある、請求項1に記載のプラズマディスプレイパネルの駆動方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はプラズマディスプレイパネルの駆動方法に関し、特にメモリ型プラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】プラズマディスプレイパネル(PDP)は、薄型構造であること、ちらつきがないこと、表示コントラスト比が大ききこと、比較的に大画面の製造が可能であること、応答速度が速いこと、自発光型であり且つ蛍光体の利用により多色発光が可能であること等、多くの長を有している。このため、近年、コンピュータ関連の表示装置やカラー画像表示等の分野に広く用いられるようになりつつある。

【0003】PDPには動作方式により、電極が誘電体で被覆されて間接的に交流放電の状態で作動させる交流放電(AC)型と、電極が放電空間に露出して直接的に直流放電の状態で作動させる直流放電(DC)型とがある。さらにAC型には、その駆動方式として、放電セルのメモリ機能を利用するメモリ動作型と、これを利用しないリフレッシュ動作型とがある。輝度は、放電回数すなわちパルス電圧の繰り返し数に比例する。リフレッシュ型は、表示容量が大きくなると輝度が低下するため、主として小表示容量のパネルに使用される。

【0004】図9は、従来のACメモリ型PDPを例示するブロック図である。ドットマトリクス表示用のPDPパネル22は、相互に平行に配列された多数の走査電極 $S_{c1}, S_{c2}, \dots, S_{cn}$ および維持電極 $S_{s1}, S_{s2}, \dots, S_{sn}$ と、これら走査電極および維持電極と直交(交差)して配列されたデータ電極 $D_{11}, D_{12}, \dots, D_{1n}$ とを備える。各表示セル23は各電極の交差部分に配置される。同図では、PDPパネル22の電極配置の構造に

着目し、表示セル23を $j \times k$ 個の行列として表示する。

【0005】図8は、図9のメモリ型PDPの1つの表示セル23の断面構造を示す。PDPは、表示側の前面および背面に夫々配設されるガラス製の第1および第2の絶縁基板11、19を有する。第2の絶縁基板19上には走査電極17および維持電極18が相互に平行に配置され、また、第1の絶縁基板11上にはデータ電極12が配置され、データ電極12は走査電極17および維持電極18と直交している。第1および第2の絶縁基板11、19の間の放電ガス空間21には、ヘリウム、ネオン、キセノン等あるいはそれらの混合ガスからなる放電ガスが充填される。隔壁20が、放電ガス空間を確保するとともに、各表示セル相互間を区切るために配置される。第2の絶縁基板19の内面には、走査電極17および維持電極18を覆う誘電体材料からなる誘電体16と、この誘電体を放電から保護する酸化マグネシウム等からなる保護膜15とが形成される。第1の絶縁基板11の内面には、誘電体13がデータ電極12上を覆って形成され、更に、蛍光体14がこの誘電体13上に塗布される。蛍光体14は、放電ガスの放電により発生する紫外線を可視光に変換する。ここで、蛍光体14をRGBの3色に塗り分けることにより、カラー表示が可能なPDPを得ることができる。

【0006】次に、選択された表示セル23の放電動作について説明する。走査電極17とデータ電極12との間に放電の閾値を越えるパルス電圧を印加し放電を開始させると、このパルス電圧の極性に対応する正負の電荷が放電ガス空間21両側の誘電体13、16の表面に吸引され、放電の成長に従って電荷の堆積が生じる。この堆積電荷に起因する等価的な内部電圧すなわち壁電圧は、印加されたパルス電圧と逆極性であるので、放電の成長とともにセル内部の実効電圧が低下する。このため、印加されたパルス電圧が一定値を保持していても、放電は維持できずついには停止することとなる。

【0007】その後、相互に隣接する走査電極17と維持電極18との間に、壁電圧と同極性のパルス電圧である維持パルスを印加すると、維持パルスが壁電圧と重畳し、維持パルスの電圧振幅が低くても放電の閾値を超えることが出来る。即ち、維持パルスを走査電極17と維持電極18との間に印加し続けることにより、表示セル内の放電が維持できる。この機能が先に述べたメモリ機能である。また、走査電極17又は維持電極18に壁電圧を中和するような大きさおよび幅の低電圧の消去パルスを印加することにより、放電を停止させることが出来る。

【0008】図7は、図8および図9のPDPで階調表示を行なうために、1フィールドを複数のサブフィールドに分割して駆動する際のPDPの駆動タイミングを示す模式図である。図7では、4つのサブフィールド、即

ち、SF1、SF2、SF3、SF4に分けた例を示している。まず、全表示セルを同時に予備放電させる予備放電期間Aがあり、続いて全表示セルを同時に予備放電消去する予備放電消去期間Bが存在する。その後の書込み放電期間Cにおいては、走査電極 $S_{c1}$ から $S_{c1}$ 迄に対し線順次に走査パルス印加する。図中の斜線を引いた部分が各走査電極の書込みタイミングである。最終の走査電極 $S_{c1}$ の書込みが終了した後に、全ての表示セルを、維持放電期間D1、D2、D3、D4の内から選択された所定期間に夫々維持放電させる。この維持放電期間D1、D2、D3、D4が夫々T、 $T/2$ 、 $T/4$ 、 $T/8$ となるように選定されており、夫々の発光セルの発光時間を $2^n$ で重み付けすることで階調表示(16階調 $=2^4$ )を行う。

【0009】図10は、上述したPDPの駆動における1サブフィールド期間の駆動電圧波形を例示するタイミングチャートである。維持電極 $S_{u1}$ 、 $S_{u2}$ 、…、 $S_{un}$ に印加される共通の維持電極駆動波形COMと、走査電極 $S_{c1}$ 、 $S_{c2}$ 、…、 $S_{cn}$ に印加される走査電極駆動波形 $S_1$ 、 $S_2$ 、…、 $S_k$ と、データ電極 $D_i$  ( $1 \leq i \leq k$ )に印加されるデータ電極駆動波形DATAとが示されている。駆動の一周期は、予備放電期間Aと予備放電消去期間Bと書込み放電期間Cと維持放電期間Dとから成る。

【0010】予備放電期間Aおよび予備放電消去期間Bは、書込み放電期間Cにおいて安定した書込み放電特性を得るために、放電ガス空間内に活性粒子および壁電荷を生成するための期間である。この期間の印加パルスは、PDPパネル22の全表示セルを同時に放電させる予備放電パルス24と、放電を消去する予備放電消去パルス25とで構成される。

【0011】書込み放電期間Cは、各走査電極 $S_{c1}$ 、 $S_{c2}$ 、…、 $S_{cn}$ にそれぞれ走査パルス26をシークエンシャルに独立したタイミングで印加し、線順次に書込み放電を行う期間である。例えば図9に示した、走査電極 $S_{c1}$ とデータ電極 $D_{i1}$ との交差部分に作られる表示セル23に発光データを書き込むには、駆動波形 $S_1$ の走査パルス26のタイミングと一致させ、データ電極 $D_{i1}$ にデータパルス29を印加し、走査電極 $S_{c1}$ とデータ電極 $D_{i1}$ との間の表示セル23に放電を発生させる。表示セル23に発光データを書き込まない場合にはデータパルス29を印加しない。

【0012】維持放電期間Dは、書込み放電期間Cにおいて書込み放電した表示セルを、メモリ機能に従って維持放電させる期間であり、維持パルス27、28により走査電極と維持電極との間で放電を反復させ点灯を持続させる。

【0013】

【発明が解決しようとする課題】プラズマディスプレイパネルの駆動においては、近年の大画面化および高精細化に伴い表示セル数の増加が著しい。このため、走査パ

ルスとデータパルスとにより発光選択される発光セル数も増加し、書込み放電時に1つの走査電極上に流れる書込み放電のピーク電流値が増大し、電極および駆動回路のインピーダンスによる電圧降下も大きくなる。従って、安定な書込み放電を行うには、より高い電圧値の走査パルス電圧およびデータパルス電圧を印加する必要がある。しかし、高い電圧値の採用は、例えばパーソナルコンピュータ等の携帯化に伴う一層の低電圧化の要請に反するという問題がある。

10 【0014】本発明の目的は、上記問題を解決するため、表示セル数の増加に伴う書込み放電のピーク電流の増加を低減し、これにより、高い電圧値の走査パルス電圧又はデータパルス電圧を必要とすることなく、安定な書込み放電が可能なプラズマディスプレイパネルの駆動方法を提供することにある。

【0015】

【課題を解決するための手段】本発明のプラズマディスプレイパネルの駆動方法は、複数の走査電極と複数のデータ電極との各交差部分に表示セルを行列状に配設し、前記データ電極から印加するデータパルスにより前記表示セルの発光を制御して画面表示を行なう型式のプラズマディスプレイパネルの駆動方法において、前記データ電極を複数のデータ電極群に分割し、該分割したデータ電極群の夫々に、相互に時間をずらしたデータパルスを印加することを特徴とする。

30 【0016】ここで、本発明の駆動方法を適用するプラズマディスプレイパネルは、従来技術で例示した3電極構造のAC面放電型プラズマディスプレイパネルに限らず、例えば2電極構造の対向放電型プラズマディスプレイパネルや或いは他の型式のプラズマディスプレイパネルにも適用できる。

【0017】本発明のプラズマディスプレイパネルの駆動方法の好ましい例では、前記ずらす時間の長さは、1つの表示セルの書込み放電継続時間を $T_i$ 、走査電極に印加する走査パルスのパルス幅を $T_w$ とすると、 $T_i/10 \sim T_w - 2T_i$ の範囲とする。更に好ましくは、このずらす時間を $T_i/5 \sim T_i$ の範囲とする。これにより、走査パルス幅に適應したパルス幅が得られると共に、放電電流のピーク値の充分な低減が可能となる。

40 【0018】

【作用】本発明のプラズマディスプレイパネルの駆動方法では、データ電極を複数の電極群に分割し、これら電極群毎にデータパルスを与えるタイミングを相互にずらすことにより、1つの走査電極に流れる、データ書込みに必要な放電電流のピーク値の低減を可能とする。

【0019】

【実施例】以下、本発明を更に実施例に基づいて説明する。図1は、本発明の1実施例のプラズマディスプレイパネル(PDP)の駆動方法における駆動電圧波形を示す。また、図2は、図9と同様のブロック図で、本実施

例の駆動方法が適用されるPDPの、2群に分割したデータ電極の分割構成を示している。このPDPの構成は、図2に示すようにデータ電極全体がデータブロックG1およびデータブロックG2の2群に分割されたことを除けば、従来技術で説明したPDPの構成と同様である。

【0020】図1において、この実施例の駆動方法における駆動電圧パルスは、維持電極 $S_{u1} \sim S_{u2}$ に印加する共通の維持電極駆動パルスCOMと、走査電極 $S_{c1} \sim S_{c2}$ に印加する走査電極駆動パルス $S_{c1}$ 、 $S_{c2}$ 、…、 $S_{c1}$ と、データブロックG1に印加する第1データ電極駆動パルスDATA1と、データブロックG2に印加する第2データ電極駆動パルスDATA2とから成る。 $I_{c1}$ および $I_{c2}$ は夫々、走査電極 $S_{c1}$ および $S_{c2}$ に流れる書き込み放電電流の波形である。なお、ここでは、PDPの放電ガスが、He、NeおよびXeの混合ガスから成る例について説明する。

【0021】例えば走査電極 $S_{c1}$ のラインで書き込み放電を行う場合には、走査電極 $S_{c1}$ に走査パルス3を印加すると共に、その期間内に各データブロックG1、G2にデータパルス4、5を印加する。その際に、データブロックG1のデータ電極 $D_{c1} \sim D_{c2}$ に印加するデータパルス4の立上りと、データブロックG2のデータ電極 $D_{a1} \sim D_{a2}$ に印加するデータパルス5の各立上りとを400nsだけずらし、双方のパルス幅は同じとしている。ここで、走査電極 $S_{c1}$ に印加される走査パルス3のパルス幅は5 $\mu$ s、各データブロックに印加されるデータパルス4および5のパルス幅は夫々4.6 $\mu$ sとしてある。

【0022】このように、データパルス5をデータパルス4から所定時間遅延させることにより、夫々のデータパルスによる書き込み放電のタイミングがずれ、1つの走査電極を流れる書き込み放電電流 $I_{c1} \sim I_{c2}$ は、1つの走査パルス3の期間内において、2つのピーク値を持つ。言い換えれば、データブロックG1とデータブロックG2とで書き込み放電期間が分散されている。

【0023】図1では、データパルス5をデータパルス4から400ns遅延させた例を示した。その遅延時間は、特にそれらの立上がりタイミング、即ち、パルス印加開始時刻に着目すれば、40～3400ns程度、好ましくは80～800ns程度に設定することで良好な結果が得られる。

【0024】図3(a)～(c)は夫々、データパルスの各タイミング差に依存する書き込み放電電流の波形を例示している。ここで、符号3は走査パルスを、符号4および5は各データパルスを、符号8は書き込み放電電流を夫々示す。同図(a)はデータパルス4、5間に遅延時間を設けなかった例、同図(b)は遅延時間が $T_i/2$ の例、同図(c)は遅延時間が $T_i$ の例である。ここで、 $T_i$ は、同図(a)に示すように、1つの書き込み放

電パルスにより流れる書き込み放電電流の継続時間を示す。放電継続時間 $T_i$ は、パネルの大きさ、電極構造、放電ガス組成などによっても異なるが、一般的に数百～数千ns程度であり、上記に示したHe、NeおよびXeの混合ガスを使用し場合には、約800nsである。同図(a)に示すように、遅延時間を設けなかった場合には、大きなピーク値 $I_p$ の書き込み放電電流が流れる。

【0025】図4は、データパルス4からデータパルス5迄の遅延時間と放電電流のピーク値との関係を示す図である。同図に示すように、遅延時間が大きくなるに従い、書き込み放電電流8のピーク値は減少していく。図3(b)のように遅延時間を $T_i/2$ とすると、書き込み放電電流8のピーク電流は遅延を設けなかった最大値 $I_p$ の略 $1/2$ となる。それ以上に遅延時間を多くとってもピーク電流の減少は僅かである。ここで、遅延時間を $T_i$ とすると、図3(c)に示すように、走査パルス3とデータパルス4との書き込み放電タイミングと、走査パルス3とデータパルス5との書き込み放電タイミングは独立になり、このとき書き込み放電電流8は完全に分割できる。

【0026】図4に示すように、データパルス4からデータパルス5までの遅延時間がわずかであっても、書き込み放電電流のピーク値を低減することが出来る。一般に、 $T_w$ を走査パルス幅とすると、遅延時間は $T_i/10 \sim T_w - 2T_i$ (ns)とすることが好ましく、更に好ましくは $T_i/5 \sim T_i$ (ns)の範囲とする。ここで、 $2T_i$ (ns)は、書き込み放電電流の継続時間と書き込み放電後の壁電荷の安定化時間の和として必要な時間であり、従って、遅延時間の上限は $T_w - 2T_i$ (ns)とする。また遅延時間を $T_i/2$ 以上とすれば、書き込み放電電流のピーク値は実質的にとり得る最低値になり、特に良好な結果が得られる。

【0027】上記のように、書き込み放電時間をデータブロック間で分散することにより、書き込み放電電流のピーク値を低減でき、更にこれに伴って、電極および駆動回路の寄生インピーダンスによる電圧降下も低減できる。従って、表示セル数が増加しても、走査パルス電圧およびデータパルス電圧を上げることなしに、安定な書き込み放電が可能となる。

【0028】図5および図6は夫々、データパルスに遅延を与える別の例を示すタイミングチャートである。図5の例では、データパルス4に対して、データパルス5の立上がりのみを400nsだけ遅延させ、データパルス5の立下りをデータパルス4の立下りと同じタイミングにしている。一般に、放電電流の継続時間は実質的にデータパルスの立上りによって決まるので、この例を採用しても、先の例と同様な効果が得られる。

【0029】図6の例では、データパルス4および5のパルス幅を相互に同じとし、データパルス5の立下りに対応する走査パルス3の立下りよりも遅れる例である。

このようにデータパルス5の立下がり、次の走査電極のための走査パルス3と時間的に重なるタイミングがあっても、その重なるタイミングが短ければ誤まった書込み放電が生じないため、特に問題はない。

【0030】なお、図2では、データブロックを図面上で左右方向に二分割する例を挙げたが、データブロックの分割方法はこれに限るものではなく、例えばデータ電極の奇数ラインと偶数ラインとに分割することもでき、上記と同様な効果が得られる。

【0031】また、データブロックを3以上に分割することも出来る。この場合、各々のデータブロックのデータパルスの立上り時刻を所定時間づつずらすことにより、より一層、放電電流のピーク値が抑えられ、先の実施例と同じ電圧値の走査パルス電圧およびデータパルス電圧を採用した場合には、書込み放電はより安定に行なわれる。

【0032】以上、本発明のプラズマディスプレイパネルの駆動方法について、3電極構造のAC面放電型PDPを例として説明をしたが、本発明のプラズマディスプレイパネルの駆動方法は、このような例に限るものではなく、例えば2電極構造の対向放電型PDPや或いは他の型式のPDPにも適用できる。

【0033】以上、本発明をその好適な実施例に基づいて説明したが、本発明のプラズマディスプレイパネルの駆動方法は上記実施例の構成から種々の修正および変更が可能であり、上記各実施例の構成から修正および変更を加えたプラズマディスプレイパネルの駆動方法も本発明の範囲に含まれる。

【0034】

【発明の効果】以上説明したように、本発明のプラズマディスプレイパネルの駆動方法は、データ電極を複数のデータブロックに区分し、データブロック毎のデータパルス印加タイミングをずらす構成を採用したことにより、同一走査電極上に流れる書込み放電のピーク電流を小さく抑えることができ、このため、走査電極および駆動回路のインピーダンスによる電圧降下が低減できる。従って、プラズマディスプレイパネルの大画面化および高精細化に伴う表示セル数の増加が生じて、走査パルス電圧およびデータパルス電圧を高くすることを要せずに安定な書込み放電が可能なプラズマディスプレイパネルを提供できる。

【図面の簡単な説明】

【図1】本発明の1実施例のPDPの駆動方法におけるタイミングチャート。

【図2】図1のPDPにおける電極構成を示すブロック図。

【図3】(a)～(c)は夫々、データパルス相互のタイミング差と書込み放電電流の波形との関係を示す

タイミングチャート。

【図4】データパルスの遅延時間と書込み放電電流のピーク値との関係を示すグラフ。

【図5】データパルスの遅延についての別の例を示すタイミングチャート。

【図6】データパルスの遅延についての更に別の例を示すタイミングチャート。

【図7】従来のPDPの駆動方法におけるタイミングを示す模式図。

【図8】従来のPDPの1つの表示セルを例示する断面図。

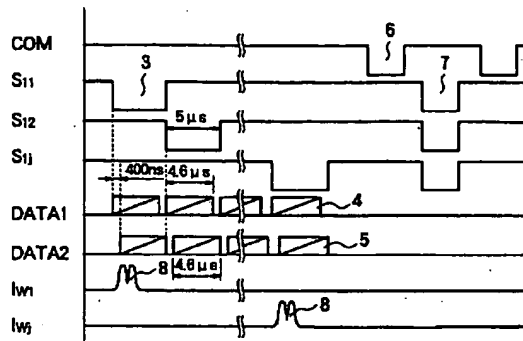
【図9】従来のPDPの電極構成を示すブロック図。

【図10】従来のPDPの駆動における1サブフィールド期間の駆動電圧波形を例示するタイミングチャート。

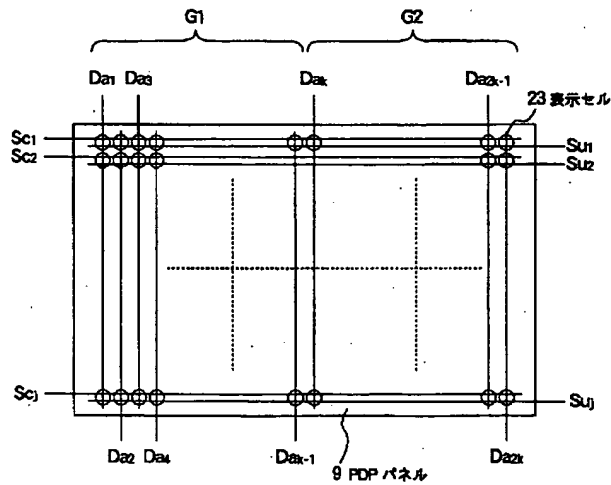
【符号の説明】

- A 予備放電期間
- B 予備放電消去期間
- C 書込み放電期間
- D、D1、D2、D3、D4 維持放電期間
- G1 第一データブロック
- G2 第二データブロック
- Sc1～Scj 走査電極
- Su1～Su j 維持電極
- Da1～Dak～Da2k データ電極
- S1、S2、S3、Sj、S11、S12、S1j 走査電極駆動波形
- COM 維持電極駆動波形
- DATA、DATA1、DATA2 データ電極駆動波形
- SF1、SF2、SF3、SF4 サブフィールド
- 24 予備放電パルス
- 25 予備放電消去パルス
- 26 走査パルス
- 6、7、27、28 維持パルス
- 4、5、29 データパルス
- 8 書込み放電電流
- 9、22 PDPパネル
- 11、19 絶縁基板
- 13、16 誘電体
- 14 蛍光体
- 15 保護膜
- 12 データ電極
- 17 走査電極
- 18 維持電極
- 20 隔壁
- 21 放電ガス空間
- 23 表示セル

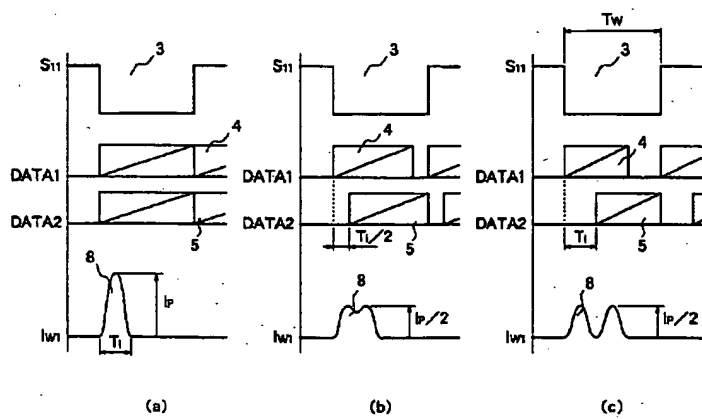
【図1】



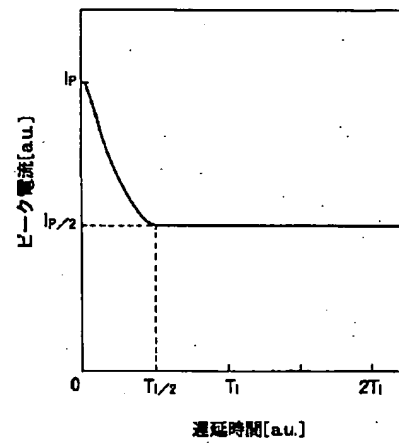
【図2】



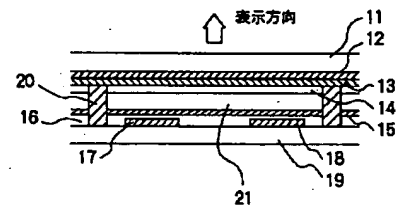
【図3】



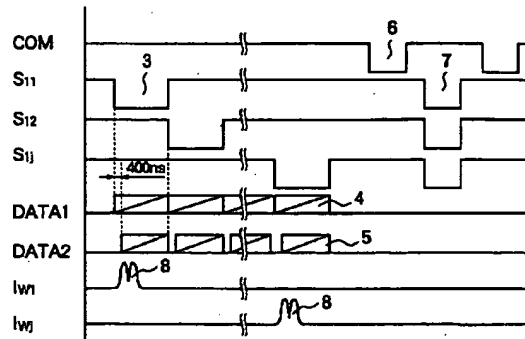
【図4】



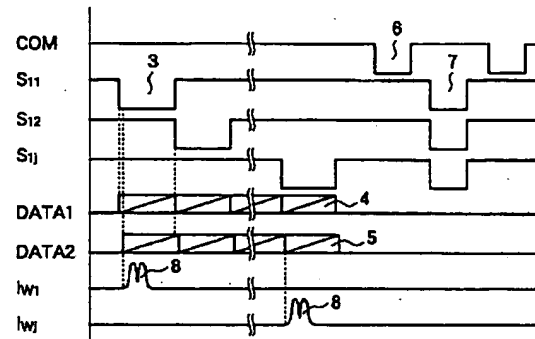
【図8】



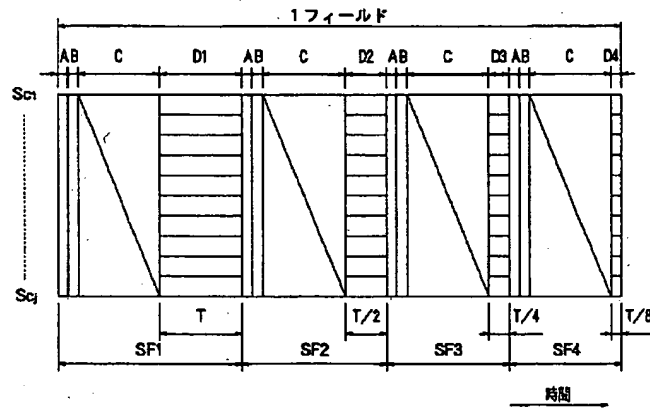
【図5】



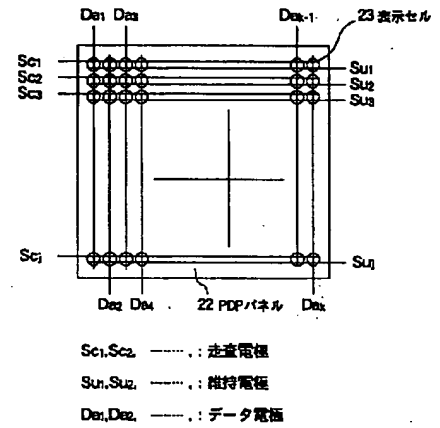
【図6】



【図7】



【図9】



【図10】

